

Docket No.: 67161-144

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Yasuhisa FUJII, et al. : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: February 27, 2004 : Examiner: Unknown
For: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-112947, filed April 17, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: February 27, 2004

日本国特許庁
JAPAN PATENT OFFICE

67161-144
FUJII, et al.
February 27, 2004

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2003年 4月17日

出願番号

Application Number:

特願2003-112947

[ST.10/C]:

[JP2003-112947]

出願人

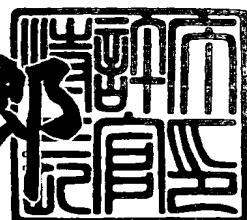
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月10日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一



出証番号 出証特2003-3045252

【書類名】 特許願

【整理番号】 541916JP01

【提出日】 平成15年 4月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/3205

【発明者】

【住所又は居所】 兵庫県伊丹市瑞原四丁目1番地 菱電セミコンダクタシステムエンジニアリング株式会社内

【氏名】 藤井 靖久

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 鴨島 隆夫

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 松岡 長

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 第1の銅層と、

前記第1の銅層上に形成され、かつ前記第1の銅層に達する孔を有する絶縁層と、

前記孔を介して前記第1の銅層に電気的に接続された第2の銅層と、

前記第2の銅層と前記絶縁層との間に位置し、かつ前記第1の銅層と前記第2の銅層との間に位置するバリア層とを備え、

前記バリア層は、窒化タンタル層を前記窒化タンタル層よりも銅との密着性の良い層で挟んだ構造を有する、半導体装置。

【請求項2】 前記バリア層は、前記窒化タンタル層をタンタル層で挟んだ積層構造を有することを特徴とする、請求項1に記載の半導体装置。

【請求項3】 第1の銅層と、

前記第1の銅層上に形成され、かつ前記第1の銅層に達する孔を有する絶縁層と、

前記孔を介して前記第1の銅層に電気的に接続された第2の銅層とを備え、

前記第1および第2の銅層の少なくともいずれかが不活性元素を含む、半導体装置。

【請求項4】 前記不活性元素はアルゴンであることを特徴とする、請求項3に記載の半導体装置。

【請求項5】 第1の銅層と、

前記第1の銅層上に形成され、かつ前記第1の銅層に達する孔を有する絶縁層と、

前記孔を介して前記第1の銅層に電気的に接続された第2の銅層とを備え、

前記第1および第2の銅層の少なくともいずれかが周期表の8族の元素を含む、半導体装置。

【請求項6】 銅層をメッキにより形成する工程と、

前記銅層上に欠陥捕獲膜を形成する工程と、

前記銅層中の欠陥を前記欠陥捕獲膜中に移動させる工程と、

前記欠陥捕獲膜を除去する工程とを備えた、半導体装置の製造方法。

【請求項7】 前記欠陥捕獲膜は、スパッタ法により形成された銅層であることを特徴とする、請求項6に記載の半導体装置の製造方法。

【請求項8】 銅層をメッキにより形成する工程と、

前記銅層に不活性元素を注入することにより前記銅層の少なくとも一部を非晶質とする工程と、

少なくとも一部が非晶質の前記銅層を加熱することにより、非晶質部分を結晶化させる工程とを備えた、半導体装置の製造方法。

【請求項9】 下層の銅層と上層の銅層とが、絶縁層に形成された孔を介して電気的に接続された半導体装置の製造方法であって、

前記下層の銅層と前記上層の銅層との少なくとも1つの銅層は、メッキにより形成され、かつ前記メッキによる成膜時から周期表の8族の元素を含むように形成される、半導体装置の製造方法。

【請求項10】 下層の銅層と上層の銅層とが、絶縁層に形成された孔を介して電気的に接続された半導体装置の製造方法であって、

前記下層の銅層と前記上層の銅層との少なくとも1つの銅層は、メッキにより形成され、かつ前記メッキによる成膜後に周期表の8族の元素を導入される、半導体装置の製造方法。

【請求項11】 主表面に凹部を有する絶縁層を形成する工程と、

前記凹部内を埋め込むように、かつ前記絶縁層の主表面上を覆うように銅層を形成する工程と、

前記銅層を前記凹部内に残存させるように前記銅層を除去する工程と、

前記銅層を除去する工程の後に、前記銅層の膜質を安定化させるための熱処理を行なう工程とを備えた、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関するものであり、特に銅配線構

造を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

従来の半導体装置における集積回路の金属配線には主にアルミニウム (Al) 合金が用いられていた。しかし、半導体デバイスの微細化と共に配線の多層化・微細化が進み、配線間のスペースが狭くなっている。配線の抵抗 (R) と配線間の容量 (C) との積 (RC) が小さいほど配線遅延時間が短くなるが、微細化により横方向の配線間容量 (C) が増大する。このため、最先端デバイスでは、より抵抗の低い銅 (Cu) 配線が用いられてきている。

【0003】

このような銅配線を有する半導体装置は、たとえばE. T. Ogawa et al., "Stress-Induced Voiding Under Vias Connected To Wide Cu Metal Leads" IEEE 02 CH37320 40th Annual International Reliability Physics Symposium, Dallas, Texas, 2002, pp. 312-321 (非特許文献1参照) などに開示されている。

【0004】

このような銅配線を有する半導体装置の製造フローにはデュアルダマシン法およびシングルダマシン法がある。デュアルダマシン法においては、ピアおよび配線部分の溝がドライエッチングにより形成された後、バリアメタルおよびシード銅膜が成膜され、電解メッキにより銅膜が成膜される。その後、熱処理が加えられて銅膜の膜質が安定化された後、CMP (Chemical Mechanical Polishing) 法により銅膜がピアおよび溝内にのみ残るように研磨除去されて、銅配線が形成される。

【0005】

一方、シングルダマシン法では、ピアが開口された後、バリアメタルおよびシード銅膜が成膜され、電解メッキにより銅膜が成膜され、熱処理が加えられて銅膜の膜質が安定化された後、CMP法によりピア部のみに銅膜が埋込まれる。その後、層間絶縁層が成膜され、配線溝が写真製版およびドライエッチングにより形成され、バリアメタルおよびシード銅膜が成膜され、電解メッキにより銅膜が成膜され、熱処理を加えて銅膜の膜質が安定化された後、CMP法により配線溝

部のみ銅膜により埋込まれる。

【0006】

【非特許文献1】

E. T. Ogawa et al., "Stress-Induced Voiding Under Vias Connected To Wide Cu Metal Leads" IEEE 02CH37320 40th Annual International Reliability Physics Symposium, Dallas, Texas, 2002, pp. 312-321

【0007】

【発明が解決しようとする課題】

上記2つの方法には、通常、銅メッキが用いられているが、銅メッキ膜は膜中にマイクロボイドを多数含むことが知られている。また、ストレスマイグレーション試験を行なうと、ビア下近傍に生じたストレス分布により、上記マイクロボイドが膜中を拡散し、ビア下近傍に集まると考えられている。このように熱ストレスによりマイクロボイドがビア下近傍に集まると、ビア下近傍において配線抵抗の増加、断線などが生じるおそれがある。

【0008】

本発明は、上記のような問題点を解決するためになされたものであり、ストレスマイグレーションによるビア下近傍におけるマイクロボイドの集中を抑制できる半導体装置およびその製造方法を提供することを目的とするものである。

【0009】

【課題を解決するための手段】

本発明の半導体装置は、第1の銅層と、絶縁層と、第2の銅層と、バリア層とを備えている。絶縁層は、第1の銅層上に形成され、かつ第1の銅層に達する孔を有している。第2の銅層は、孔を介して第1の銅層に電気的に接続されている。バリア層は、第2の銅層と絶縁層との間に位置し、かつ第1の銅層と第2の銅層との間に位置している。バリア層は、窒化タンタル層をその窒化タンタル層よりも銅との密着性の良い層で挟んだ構造を有している。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態について図に基づいて説明する。

【0011】

(実施の形態1)

図1は、本発明の実施の形態1における半導体装置の構成を示す概略断面図である。図1を参照して、半導体基板（図示せず）上には、たとえばシリコン窒化膜よりなる絶縁層1と、たとえばシリコン酸化膜よりなる層間絶縁層2とが積層されている。絶縁層1および層間絶縁層2には溝3が形成されている。その溝3の壁面に沿って、たとえばタンタル（Ta）よりなるバリア層4が形成されている。溝3内を埋め込むように、メッキにより形成された銅層（シード層とメッキ層とを含む。以下、メッキ銅層と称する）よりなる配線層5が形成されている。

【0012】

層間絶縁層2上には、配線層5を覆うように、たとえばシリコン窒化膜よりなる絶縁層6と、たとえばシリコン酸化膜よりなる層間絶縁層7および8とが積層されている。絶縁層6および層間絶縁層7には配線層5に達するビア（孔）9が形成されている。層間絶縁層8には、ビア9上を延びる配線用の溝10が形成されており、この溝10とビア9とは互いに連通している。

【0013】

ビア9と溝10との壁面に沿って、たとえば窒化タンタル（Ta_N）よりなるバリア層11が形成されている。このビア9と溝10とを埋め込むように、メッキ銅層よりなる配線層12が形成されている。バリア層11は、絶縁層（絶縁層6および層間絶縁層7、8）と配線層12との間に位置し、かつ配線層5と配線層12との間に位置している。

【0014】

本実施の形態では、配線層5および12のいずれか一方または両方において、マイクロボイドなどの欠陥の密度が、通常のメッキ法により形成された銅層中の欠陥密度よりも低くなっている。本実施の形態において配線層5、12中の欠陥密度の低下は、製造工程において欠陥捕獲膜を用いることにより可能となる。

【0015】

以下、本実施の形態の製造方法について説明する。

図2および図3は、本発明の実施の形態1における半導体装置の製造方法を工

程順に示す概略断面図である。図2を参照して、半導体基板（図示せず）上に、たとえばシリコン窒化膜よりなる絶縁層1と、たとえばシリコン酸化膜よりなる層間絶縁層2とが積層して形成される。この絶縁層1および層間絶縁層2に、通常の写真製版技術およびエッティング技術を用いて、溝3が形成される。その溝3の壁面および層間絶縁層2の上面を覆うように、たとえばタンタルよりなるバリア層4が形成される。溝3内を埋め込むように、かつ層間絶縁層2の上面を覆うように、メッキ銅層5が形成される。このメッキ銅層5は、銅のシード層を形成した後に電解メッキにより銅のメッキ層を成膜することにより形成される。

【0016】

この後、層間絶縁層2の上面が露出するまで、CMP (Chemical Mechanical Polishing) 法によりメッキ銅層5とバリア層4とが研磨除去される。これにより、バリア層4とメッキ銅層5とが溝3内にのみ残されて、メッキ銅層よりなる配線層5が形成される。

【0017】

層間絶縁層2上には、配線層5を覆うように、たとえばシリコン窒化膜よりなる絶縁層6と、たとえばシリコン酸化膜よりなる層間絶縁層7および8とが順に積層して形成される。通常の写真製版技術およびエッティング技術により、層間絶縁層8には配線用の溝10が形成され、絶縁層6および層間絶縁層7にはビア9が形成される。ビア9は、溝10の底部から配線層5に達するように形成され、これにより配線層5の一部表面が露出する。

【0018】

ビア9と溝10との壁面、層間絶縁層8の上面、配線層5の露出表面などに沿って、たとえば窒化タンタルよりなるバリア層11が形成される。このビア9と溝10とを埋め込むように、かつ層間絶縁層2の上面を覆うように、メッキ銅層12が形成される。このメッキ銅層12は、銅のシード層を形成した後に電解メッキにより銅のメッキ層を成膜することにより形成される。

【0019】

図3を参照して、メッキ銅層12の上面に接するように欠陥捕獲膜13が形成される。この欠陥捕獲膜13は、たとえばスパッタ法により形成された銅層であ

る。また、この欠陥捕獲膜13は、欠陥捕獲膜13中の成分がメッキ銅層12中に拡散してもメッキ銅層12の抵抗が上昇したり、ストレスマイグレーションやエレクトロマイグレーションなどが発生しやすくなることがないような材質であることが好ましい。

【0020】

この後、メッキ銅層12中のマイクロボイドなどの欠陥21を欠陥捕獲膜13内に移動させる処理が施される。この欠陥21を欠陥捕獲膜13内に移動させる処理は、たとえばアニールであり、そのアニールの温度と時間はたとえば100°Cと90分である。このようなアニールを施すことにより、メッキ銅層12と欠陥捕獲膜13との間のたとえば欠陥密度の相違に基づく拡散効果により、メッキ銅層12中の欠陥21が欠陥捕獲膜13内へ移動する。

【0021】

このようにしてメッキ銅層12中の欠陥21を減少させた後に、層間絶縁層2の上面が露出するまで、CMP法により欠陥捕獲膜13、メッキ銅層12およびバリア層11が研磨除去される。これにより、図1に示すようにバリア層11とメッキ銅層12とがピア9および溝10内にのみ残されて、メッキ銅層よりなる配線層12が形成される。このようにして欠陥密度の低減されたメッキ銅層よりなる配線構造を有する半導体装置が製造される。

【0022】

なお上記においては、メッキ銅層12が研磨除去される前に欠陥捕獲膜13を形成する場合について説明したが、メッキ銅層12をCMP法により研磨除去した後に欠陥捕獲膜13が形成されても良い。たとえば図2に示す状態からメッキ銅層12とバリア層11とが研磨除去された後に、図4に示すようにメッキ銅層12に接するように欠陥捕獲膜13が形成されても良い。また、図2に示す状態からメッキ銅層12のみを研磨除去し、層間絶縁層8の上面のバリア層11を残した状態で、メッキ銅層12に接するように欠陥捕獲膜13が形成されても良い。いずれの場合においても欠陥捕獲膜13を形成した後には、メッキ銅層12中のマイクロボイドなどの欠陥21を欠陥捕獲膜13内に移動させる処理（たとえばアニール）が施される。

【0023】

このようにメッキ銅層12を研磨除去した後に欠陥21を欠陥捕獲膜13により捕獲することで、より効果的にメッキ銅層12中の欠陥密度を低下させることができる。

【0024】

また、メッキ銅層12の研磨除去前の欠陥捕獲膜13による欠陥21の捕獲と、メッキ銅層12の研磨除去後の欠陥捕獲膜13による欠陥21の捕獲とが組み合わされても良い。これによりメッキ銅層12中の欠陥密度をさらに低減することができる。

【0025】

また、上記においては配線層12中の欠陥密度を低下させる場合について説明したが、配線層5中の欠陥密度が上記と同様の方法により低下されても良い。また、配線層5および配線層12のいずれか一方のみの欠陥密度が上記の方法により低下されても良く、配線層5および配線層12の双方の欠陥密度が上記の方法により低下されても良い。

【0026】

本実施の形態によれば、欠陥捕獲膜13により配線層5、12中のマイクロボイドなどの欠陥21の密度を低下させることが可能である。このため、熱ストレスによるピア下近傍（図1の領域R1またはR2）におけるマイクロボイドの集中を抑制することができる。

【0027】

なお、本実施の形態における欠陥捕獲膜は、メッキ銅層よりも空孔、ボイドなどの欠陥の少ない膜であり、かつメッキ銅層との間で欠陥密度の相違に基づく拡散効果を十分に得られる材質であることが好ましい。本実施の形態では、欠陥捕獲膜としてスパッタ法により形成された銅層を用いているが、このスパッタ法により形成された銅層の欠陥密度は、通常、メッキ銅層の欠陥密度よりも低い。なぜなら、メッキ銅層の成膜においてはメッキ液中にウエハを浸す際に空気の巻き込みを避けることができず、またメッキ液自体が数種の不純物を含んでいるため、メッキ銅層中には多量の欠陥が導入されるからである。メッキ液中の不純物と

しては硫黄(S)、炭素(C)などがある。これらの不純物はスパッタ法により形成された銅層には含まれない。

【0028】

しかし、スパッタ法により銅層を形成する場合でも、たとえばバイアススパッタ法のようにウエハに負のバイアス電圧を印加して成膜過程においてイオンをウエハ面に衝突させると、その衝撃により銅層に欠陥が多数導入されてしまう。このため、バイアススパッタ法により形成された銅層は、本実施の形態で求められる程度の欠陥捕獲の機能を有していない。したがって、バイアススパッタ法により形成された銅層は、本実施の形態における欠陥捕獲膜には適さない。

【0029】

ただし、ウエハにバイアス電圧を印加する場合でも、アルゴンなどのイオンが処理室内に存在しない状態（たとえばアルゴンなどをプラズマの生成のみに用い、プラズマが生成された後はアルゴンなどを排気した状態）で高真空中にてスパッタによる銅の成膜が行なわれれば、ウエハにイオンが衝突することを避けられるため、銅層に多数の欠陥が導入されることはない。このため、この方法で形成された銅層は本実施の形態の欠陥捕獲膜に適する。

【0030】

以上より、欠陥捕獲膜としてスパッタ法により形成された銅層を用いる場合には、スパッタ時にイオンがウエハ（半導体装置）に印加されたバイアス電圧によってウエハに衝突することのないような条件下で成膜された銅層が適している。

【0031】

(実施の形態2)

本実施の形態では、図1に示す実施の形態1の構成と比較して、配線層5、12の構成において異なる。本実施の形態における配線層5および配線層12のいずれか一方または双方は、不活性元素を導入されることによりマイクロボイドの移動を抑制したメッキ銅層である。このため、本実施の形態における配線層5、12は、実施の形態1のように欠陥捕獲膜により欠陥密度を低減された層でなくともよい。

【0032】

不活性元素としては、ヘリウム (He) 、ネオン (Ne) 、アルゴン (Ar) 、クリプトン (Kr) 、キセノン (Xe) およびラドン (Rn) があり、いずれの元素が導入されても良いが、特にアルゴンが好ましい。

【0033】

なお、これ以外の構成については実施の形態1の構成とほぼ同じであるため同一の構成要素については同一の符号を付し、その説明を省略する。

【0034】

次に、本実施の形態の製造方法について説明する。

図5は、本発明の実施の形態2における半導体装置の製造方法を示す概略断面図である。本実施の形態の製造方法は、図2に示す工程までは実施の形態1と同様の工程を経る。この後、図5を参照して、メッキ銅層12に不活性元素（たとえばアルゴン）が注入される。これによりメッキ銅層12の全体または一部が非晶質な状態となる。つまり、不活性元素の注入により銅原子同士の結合が切られるとともに、不活性元素自身は化学的に安定な物質であり銅と結合しないため、メッキ銅層12は非晶質な状態となる。

【0035】

この後、アニールが施される。このアニールの温度と時間は、たとえば100°Cと90分である。このアニールにより、非晶質の状態にあるメッキ銅層12が結晶化し、結晶状態となる。これにより、後述するようにメッキ銅層12の膜質が改善されて、メッキ銅層12中のボイドの移動が抑制される。

【0036】

このようにしてメッキ銅層12の膜質を改善した後に、層間絶縁層2の上面が露出するまで、CMP法によりメッキ銅層12およびバリア層11が研磨除去される。これにより、図1に示すようにバリア層11とメッキ銅層12とがビア9および溝10内にのみ残されて、メッキ銅層よりなる配線層12が形成される。このようにしてボイドの移動が抑制された銅層よりなる配線構造を有する半導体装置が製造される。

【0037】

なお、上記においてはメッキ銅層12に不活性元素を注入した後にアニールす

る場合について説明したが、メッキ銅層5に不活性元素が注入された後にアニールが施されても良い。この場合には、後述するように、メッキ銅層5中でのボイドの移動を抑制することができる。また、メッキ銅層5とメッキ銅層12との双方に不活性元素が注入された後にアニールが施されても良い。この場合には、後述するように、メッキ銅層5およびメッキ銅層12の双方中でのボイドの移動を抑制することができる。

【0038】

本実施の形態によれば、メッキ銅層5、12に不活性元素を注入することにより、メッキ銅層5、12は一旦非晶質の状態とされてから、アニールにより結晶状態とされる。銅は、結晶状態よりも非晶質状態において良好な流動性を有する。このため、同じ条件のアニールを施した場合、結晶状態よりも非晶質状態の方が銅の結晶粒の成長を促進できるとともに空孔を減少させることができる。また、銅の結晶粒の成長促進により、銅の結晶粒径を大きくできるため、ボイドが存在し易い結晶粒同士の境界（3重点）が少なくなり、かつ3重点同士の間隔も大きくすることができる。これにより、メッキ銅層5、12中でのボイドの移動を抑制することが可能となる。したがって、熱ストレスによるピア下近傍（図1の領域R1またはR2）におけるマイクロボイドの集中を抑制することができる。

【0039】

（実施の形態3）

図6は、本発明の実施の形態3における半導体装置の構成を示す概略断面図であり、図1の領域Pを拡大して示す図である。図6を参照して、本実施の形態の構成は、実施の形態1の構成と比較して、バリア層11の構成において異なる。バリア層11は窒化タンタル層11bを有しており、この窒化タンタル層11bが配線層5と配線層12とのいずれにも接触しないように、窒化タンタル層11bを窒化タンタル層11bよりも銅との密着性の良い層11a、11cで挟んだ構成を有している。

【0040】

バリア層11は、たとえば、タンタル層11aと窒化タンタル層11bとタンタル層11cとの3層を順に積層した構成、つまり窒化タンタル層11bをタン

タル層11aとタンタル層11cとで挟んだ積層構成を有している。これらタンタル層11aと窒化タンタル層11bとタンタル層11cとの各々は、ピア9および溝10の壁面に沿って形成されており、かつ配線層12と絶縁層（絶縁層6および層間絶縁層7、8）との間および配線層5と配線層12との間に位置している。

【0041】

また、窒化タンタル層11bを挟み込む層11a、11cは、タンタル層に限られず、窒化タンタル層11bよりも銅との密着性の良い層であればよく、窒化チタン（TiN）層、チタンシリサイド（TiSi₂）層、窒化タングステン（WN）層などであってもよい。また、窒化タンタル層11bの下側の層11aと上側の層11cとは異なる材質よりなっていてもよい。

【0042】

本実施の形態における配線層5、12は、実施の形態1のように欠陥捕獲膜により欠陥密度を低減された層でなくてもよい。

【0043】

なお、これ以外の構成については実施の形態1の構成とほぼ同じであるため同一の構成要素については同一の符号を付し、その説明を省略する。

【0044】

次に、本実施の形態の製造方法について説明する。

図2を参照して、本実施の形態の製造方法では、実施の形態1と同様の方法により、絶縁層1と、層間絶縁層2と、溝3と、バリア層4と、配線層5と、絶縁層6と、層間絶縁層7、8と、ピア9と、溝10とが形成される。

【0045】

この後、ピア9と溝10との壁面、層間絶縁層8の上面、配線層5の露出表面などに沿って、たとえばタンタル層11aと窒化タンタル層11bとタンタル層11cとの3層が順に積層されて、その3層の積層構造よりなるバリア層11が形成される。

【0046】

このピア9と溝10とを埋め込むように、かつ層間絶縁層2の上面を覆うよう

に、メッキ銅層12が形成される。このメッキ銅層12は、銅のシード層を形成した後に電解メッキにより銅のメッキ層を成膜することにより形成される。

【0047】

この後、層間絶縁層2の上面が露出するまで、CMP法によりメッキ銅層12およびバリア層11が研磨除去される。これにより、図1に示すようにバリア層11とメッキ銅層12とがビア9および溝10内にのみ残されて、メッキ銅層よりなる配線層12が形成される。このようにして銅層の配線構造を有する半導体装置が製造される。

【0048】

本実施の形態によれば、配線層12と絶縁層（絶縁層6および層間絶縁層7、8）との間に位置するバリア層11がバリア性の高い窒化タンタル層11bを有している。このため、配線層12中の銅が絶縁層中に拡散していくことを効果的に防ぐことができる。

【0049】

また、バリア層11の窒化タンタル層11bは配線層5および配線層12のいずれとも接しない。このため、窒化タンタルと銅との結合という密着性が弱くボイド発生率が高い構造を回避することができる。つまり、窒化タンタル層と銅層とは密着性が悪いため、窒化タンタル層と銅層との間に微少な隙間が発生して、その隙間がボイドになるが、本実施の形態では窒化タンタル層と銅層とが直接接觸する構成は回避されている。また、タンタル層は窒化タンタル層よりも銅層との密着力が強い材質であるため、タンタル層と銅層との間にボイドは生じ難い。よって、配線層5とバリア層11との接触部付近および配線層12とバリア層11との接触部付近に、熱ストレスによってマイクロボイドが集中することを抑制できる。

【0050】

なお、バリア層4がバリア層11と同様の構成を有していても良い。

（実施の形態4）

本実施の形態の構成は、図1に示す実施の形態1の構成と比較して、配線層5、12の構成において異なる。本実施の形態における配線層5および配線層12

のいずれか一方または双方は、周期表の8族の元素を導入されることにより配線層5、12中の空孔が8族の元素により補填されたメッキ銅層である。このため、本実施の形態における配線層5、12は、実施の形態1のように欠陥捕獲膜により欠陥密度を低減された層でなくてもよい。

【0051】

周期表の8族の元素としては、鉄(Fe)、コバルト(Co)、ニッケル(Ni)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)および白金(Plt)があり、いずれの元素が導入されても良い。

【0052】

また、配線層5、12中における8族の元素の濃度は、5質量%以下であることが好ましく、0.5%であることがより好ましい。配線層5、12中における8族の元素の濃度が5質量%を超えると、配線層5、12の抵抗が上昇するなどの弊害が顕著になる。

【0053】

なお、これ以外の構成については実施の形態1の構成とほぼ同じであるため同一の構成要素については同一の符号を付し、その説明を省略する。

【0054】

次に、本実施の形態の製造方法について説明する。

図7は、本発明の実施の形態4における半導体装置の製造方法を示す概略断面図である。本実施の形態の製造方法は、図2に示す工程までは実施の形態1と同様の工程を経る。この後、図7を参照して、メッキ銅層12に周期表の8族の元素が導入される。メッキ銅層12に周期表の8族の元素を導入する方法には、たとえば以下の方法がある。

【0055】

(1) メッキ銅層12を形成した後に、メッキ銅層12の上部に8族の元素を含む層を堆積させて、その層からメッキ銅層12へ8族の元素を拡散させる方法。

【0056】

(2) あらかじめ8族の元素を含むターゲット(直材)を用いて銅のシード層をスパッタ法により形成し、その8族の元素を含むシード層を用いて電解メッキを行うことにより、成膜時から8族の元素を含むようにメッキ銅層12を形成する方法。

【0057】

(3) メッキ液中に8族の元素を添加してメッキ銅層12をメッキより形成することにより、成膜時から8族の元素を含むようにメッキ銅層12を形成する方法。方法。

【0058】

8族の元素は、メッキ銅層12に導入されることによりメッキ銅層12中の空孔を補填する。この後、アニールが施される。このアニールにより、8族の元素が空孔を補填する現象が促進される。

【0059】

このようにしてメッキ銅層12の空孔を補填した後に、層間絶縁層2の上面が露出するまで、CMP法によりメッキ銅層12およびバリア層11が研磨除去される。これにより、図1に示すようにバリア層11とメッキ銅層12とがピア9および溝10内にのみ残されて、メッキ銅層よりなる配線層12が形成される。このようにして空孔が減少された銅層よりなる配線構造を有する半導体装置が製造される。

【0060】

なお、上記においてはメッキ銅層12に8族の元素を導入する場合について説明したが、メッキ銅層5に8族の元素が導入されても良い。これにより、メッキ銅層5中の空孔を補填することができる。また、メッキ銅層5とメッキ銅層12との双方に8族の元素が導入されても良い。この場合には、メッキ銅層5およびメッキ銅層12の双方中の空孔を補填することができる。

【0061】

本実施の形態によれば、メッキ銅層5、12に8族の元素が導入される。この8族の元素の拡散係数は銅の拡散係数よりも大きい。たとえば金(Au)を母体としたときの粒界拡散における拡散係数は、ニッケルで $4 \times 10^{-5} \text{ cm}^2/\text{sec}$

c. であり、クロムで $1 \times 10^{-3} \text{ cm}^2/\text{sec}$. であるのに対し、銅で $1 \times 10^{-5} \text{ cm}^2/\text{sec}$. である。この拡散係数が大きいほど空孔との接触確率が高くなるため、8族の元素により効果的に空孔を補填することができる。したがって、熱ストレスによるビア下近傍（図1の領域R1またはR2）におけるマイクロボイドの集中を抑制することができる。

【0062】

なお本実施の形態において空孔を補填する物質に求められる要件は、銅の拡散係数よりも大きい拡散係数を有することであるが、さらに、その物質を銅層に加えた場合に銅層の抵抗上昇および信頼性劣化が少ないものであることが好ましい。

【0063】

（実施の形態5）

本実施の形態の構成は、図1に示す実施の形態1の構成と比較して、配線層5、12の構成において異なる。本実施の形態における配線層5および配線層12のいずれか一方または双方は、その配線層を構成するメッキ銅層を研磨除去した後に熱処理（たとえばアニール）を施されることにより安定化された膜質を有している。このため、本実施の形態における配線層5、12は、実施の形態1のように欠陥捕獲膜により欠陥密度を低減された層でなくてもよい。

【0064】

なお、これ以外の構成については実施の形態1の構成とほぼ同じであるため同一の構成要素については同一の符号を付し、その説明を省略する。

【0065】

次に、本実施の形態における製造方法を説明する。

図8は、本発明の実施の形態5における半導体装置の製造方法を示す概略断面図である。本実施の形態の製造方法は、図2に示す工程までは実施の形態1と同様の工程を経る。このようにしてメッキ銅層12を電解メッキで形成した後に、アニールを施さずに、層間絶縁層2の上面が露出するまでCMP法によりメッキ銅層12およびバリア層11が研磨除去される。

【0066】

図8を参照して、上記の研磨除去により、バリア層11とメッキ銅層12とがビア9および溝10内（つまり凹部内）にのみ残されて、メッキ銅層よりなる配線層12が形成される。この後、配線層12の表面が露出した状態で、配線層12の膜質を安定化させるための熱処理としてたとえばアニールが施される。このアニールの条件としては、たとえば300°C以上500°C以下の温度で20分未満加熱する条件、または80°C以上200°C以下の温度で30分以上1時間30分以下加熱する条件が好ましい。これらの条件よりも温度が高くなったり、処理時間が長くなったりするとボイドが多数発生し、またこれらの条件よりも温度が低くなったり、処理時間が短くなったりするとアニールの効果が十分に得られない。

【0067】

このようにしてボイドの移動が抑制された銅層よりなる配線構造を有する半導体装置が製造される。

【0068】

なお、上記においてはメッキ銅層12とバリア層11との双方を研磨除去した後に熱処理を施す場合について説明したが、メッキ銅層12の研磨除去をバリア層11の表面が露出した時点で停止することにより、バリア層11を層間絶縁層8の上面上に残した状態で熱処理が施されても良い。

【0069】

また、メッキ銅層12について説明したが、メッキ銅層5についても同様に、メッキ銅層5を研磨除去した後に、メッキ銅層5の膜質を安定化させるための熱処理が施されても良い。また、メッキ銅層5とメッキ銅層12との双方について、各メッキ銅層を研磨除去した後にメッキ銅層の膜質を安定化させるための熱処理が施されても良い。

【0070】

電解メッキ法により形成された銅層は、結晶粒子が小さくかつこれを放置しておくと室温下であっても結晶粒成長が生じ、この結晶粒成長に伴って電気抵抗が変動するため安定性に欠ける。このため、その銅層を安定化させるために、その銅層にアニールなどの熱処理を施す必要がある。

【0071】

本実施の形態によれば、メッキ銅層5、12の研磨除去後に膜質安定化のための熱処理が施される。このため、メッキ銅層5、12の研磨除去前に熱処理を施す場合と比較して、研磨除去によりメッキ銅層5、12の体積が減少しているため、熱処理時のメッキ銅層5、12の熱伝導効率が良くなる。これにより、メッキ銅層5、12のピア下付近を効率良く加熱できるため、その部分の膜質を効果的かつ効率的に安定させることができるとなる。また、研磨除去により銅層の体積が減少しているため、その体積の減少分だけ銅層中の空孔の絶対数も減らすことができる。

【0072】

このようにメッキ銅層の研磨除去後に膜質安定化のための熱処理を施すことにより、メッキ銅層を効果的かつ効率的に安定させることができ、かつメッキ銅層中の空孔の絶対数も減らすことができるため、熱ストレスによるピア下近傍（図1の領域R1またはR2）におけるマイクロボイドの集中を抑制することができる。

【0073】

なお、上記の実施の形態1～5の各々における構成または製造工程は適宜組み合わされても良い。

【0074】

また、本明細書において銅層とは、銅を主成分として含む材質よりなる層のことを意味しており、不可避の不純物を含む銅からなる層、銅の合金層などを含むものである。

【0075】

また、メッキ銅層は、メッキ薬液中に含まれる塩素(C1)、炭素(C)、硫黄(S)などの不純物を含んでいる点において、スパッタ法により形成された銅層と異なる。

【0076】

また、銅層をメッキで成膜する理由を以下に説明する。

銅はドライエッチングによるパターニングが困難な材料である。このため、銅

の配線パターンを形成するために、絶縁層の表面に形成された配線用溝を埋め込むように銅層を形成した後に、銅層をCMP法などにより研磨除去して配線用溝内にのみ残存させる方法が用いられている。ここで、銅層により配線用溝を埋め込む際に、CVD法やスパッタ法により銅層を成膜して埋め込む方法がある。しかし、この方法では、配線用溝よりなる段差上で銅層のオーバーハングが生じて配線用溝を完全に埋め込めない場合が生じる。また、この方法で成膜した銅層で配線用溝内を隙間無く埋め込むために銅層をフローさせる（だらす）方法もあるが、銅層をフローさせるためには1000°C以上と高温に加熱する必要があり、素子への悪影響が懸念される。

【0077】

そこで、配線用溝を簡単な方法で隙間無く埋め込むために、メッキにより銅層が成膜される。

【0078】

また、上記においてはメッキ銅層について説明したが、本発明は、メッキ銅層と同程度の欠陥密度を有する銅層にも同様に適用することができる。

【0079】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0080】

【発明の効果】

本発明の半導体装置によれば、第2の銅層と絶縁層との間に位置するバリア層が窒化タンタル層を有しているため、第2の銅層中の銅が絶縁層中に拡散していくこと効果的に防ぐことができる。また、バリア層の窒化タンタル層は第1および第2の銅層のいずれとも接しないため、窒化タンタルと銅との結合という密着性が弱くボイド発生率が高い構造を回避することができる。このため、第1の銅層とバリア層との接触部付近および第2の銅層とバリア層との接触部付近に、熱ストレスによってマイクロボイドが集中することを抑制できる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体装置の構成を示す概略断面図である。

【図2】 本発明の実施の形態1における半導体装置の製造方法の第1工程を示す概略断面図である。

【図3】 本発明の実施の形態1における半導体装置の製造方法の第2工程を示す概略断面図である。

【図4】 本発明の実施の形態1における半導体装置の他の製造方法を示す概略断面図である。

【図5】 本発明の実施の形態2における半導体装置の製造方法を示す概略断面図である。

【図6】 本発明の実施の形態3における半導体装置の構成を示す概略断面図であり、図1の領域Pを拡大して示す図である。

【図7】 本発明の実施の形態4における半導体装置の製造方法を示す概略断面図である。

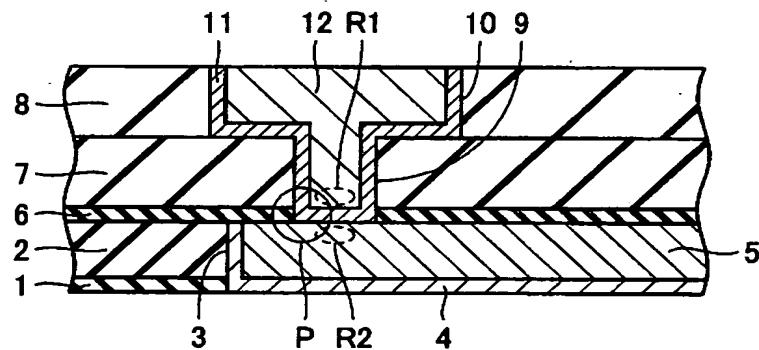
【図8】 本発明の実施の形態5における半導体装置の製造方法を示す概略断面図である。

【符号の説明】

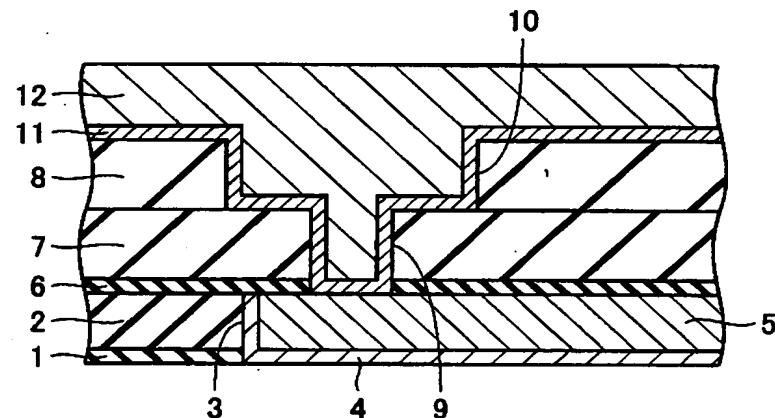
1, 6 絶縁層、2, 7, 8 層間絶縁層、3 溝、4 バリア層、5, 12
メッキ銅層（配線層）、9 ピア、10 溝、11 バリア層、11a, 11
c タンタル層、11b 窒化タンタル層、13 欠陥捕獲膜。

【書類名】図面

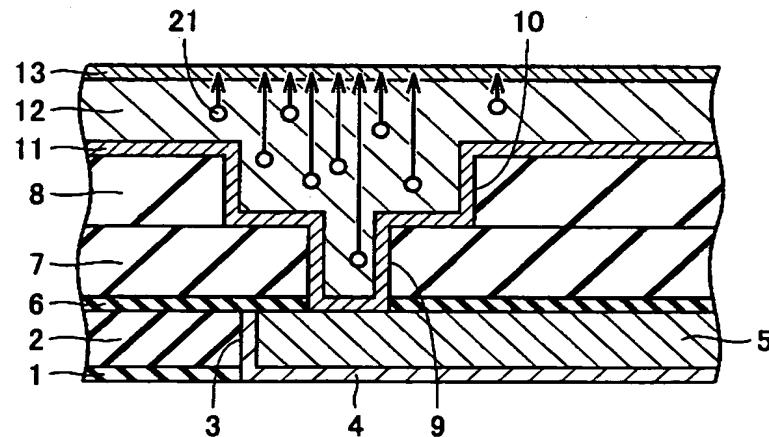
【図1】



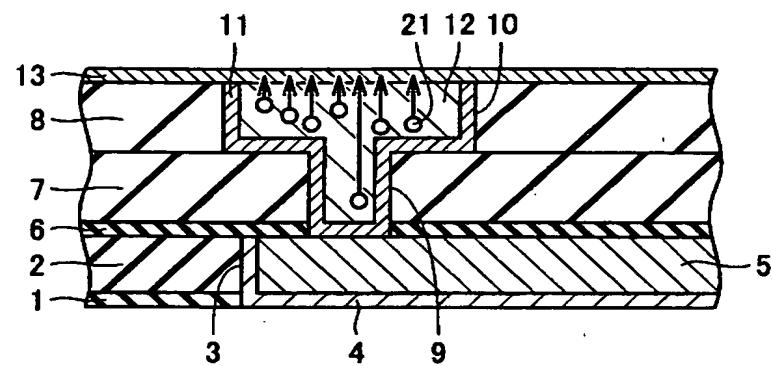
【図2】



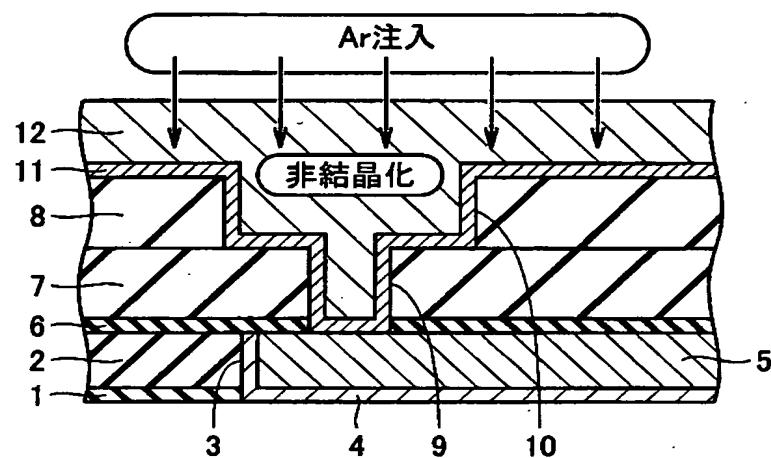
【図3】



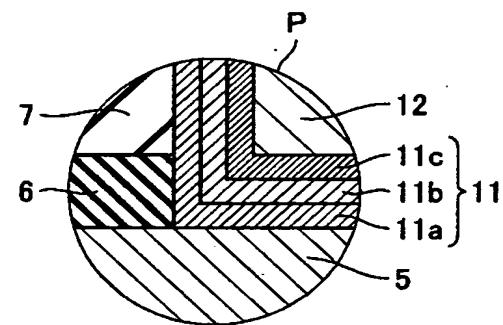
【図4】



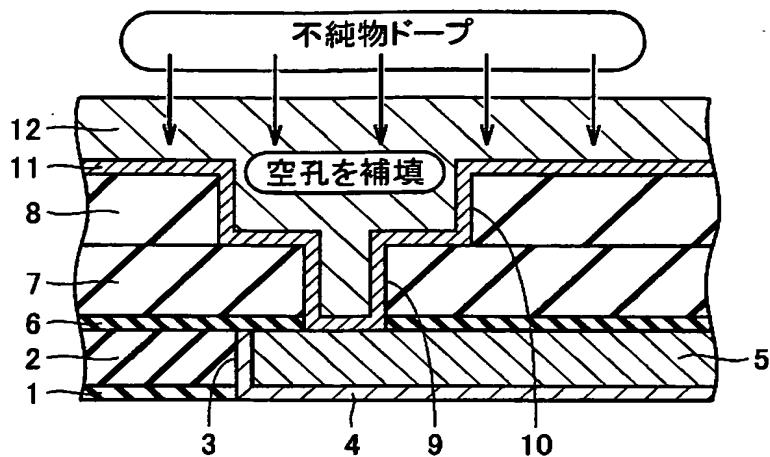
【図5】



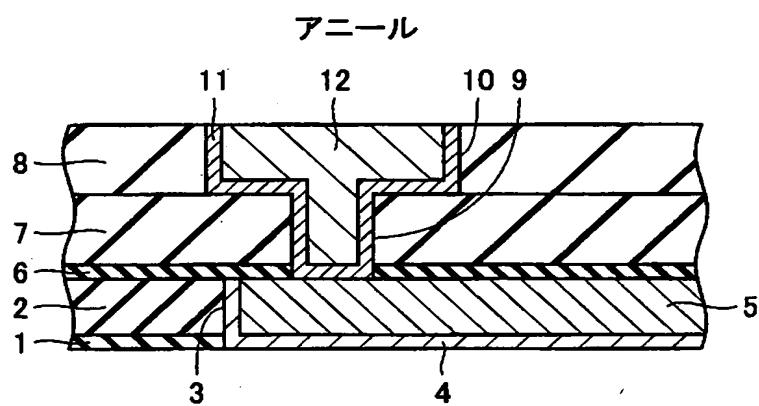
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 ストレスマイグレーションによるピア下近傍におけるマイクロボイドの集中を抑制できる半導体装置およびその製造方法を提供する。

【解決手段】 本発明の半導体装置の製造方法は、銅層5、12をメッキにより形成する工程と、その銅層5、12上に欠陥捕獲膜13を形成する工程と、たとえばアニールにより銅層5、12中の欠陥を欠陥捕獲膜13中に移動させる工程と、欠陥捕獲膜13を除去する工程とを備えている。

【選択図】 図3

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号

氏 名 株式会社ルネサステクノロジ